

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

IFN

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Baek et al.

Group Art Unit: 2631

Serial No.: 10/719,192

Examiner: To Be Assigned

Filed: November 21, 2003

Confirmation No.: 2998

For: FAST FOURIER TRANSFORM PROCESSORS, METHODS AND
ORTHOGONAL FREQUENCY DIVISION MULTIPLEXING RECEIVERS
INCLUDING MEMORY BANKS

Date: August 6, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

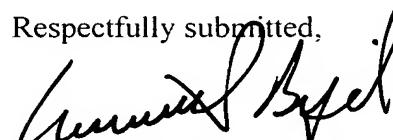
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0073659, filed November 25, 2002.

Respectfully submitted,



Mitchell S. Bigel
Registration No. 29,614

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: 919/854-1400
Facsimile: 919/854-1401

Certificate of Mailing under 37 CFR 1.8 (or 1.10)

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as
first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on
August 6, 2004



Candi L. Riggs

CERTIFIED COPY OF
PRIORITY DOCUMENT



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0073659
Application Number

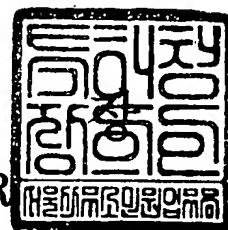
출 원 년 월 일 : 2002년 11월 25일
Date of Application NOV 25, 2002

출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 25 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.25
【발명의 명칭】	고속 푸리에 변환 프로세서와, 이를 이용한 고속 푸리에 변환 방법 및 이를 갖는 직교 주파수 분할 다중 변조 방식의 수신장치
【발명의 영문명칭】	Fast Fourier Transmitter processor, Fast Fourier Transmitting method, and Orthogonal Frequency Division Multiplexing receiving device having the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	백승권
【성명의 영문표기】	BAEK, Seung Kwon
【주민등록번호】	690113-1785531
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 955-1 황골 주공아파트 149-2005호
【국적】	KR
【발명자】	
【성명의 국문표기】	최훈순
【성명의 영문표기】	CHOI, Hoon Soon
【주민등록번호】	590201-1051712
【우편번호】	134-071
【주소】	서울특별시 강동구 명일1동 삼익그린2차아파트 508-1402
【국적】	KR

【발명자】

【성명의 국문표기】

김주연

【성명의 영문표기】

KIM, Ju Yon

【주민등록번호】

710106-2006043

【우편번호】

463-055

【주소】

경기도 성남시 분당구 서당동 효자촌 현대아파트
103동 1002호

【국적】

KR

【심사청구】

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
박영우 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

19 면 19,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

17 항 653,000 원

【합계】

701,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

데이터 처리 자연 시간과 동작 전력을 줄이기 위한 고속 푸리에 변환 프로세서와, 고속 푸리에 변환 방법 및 OFDM 수신장치를 개시한다. 타이밍 획득부는 롱 프리앰블의 종료 포인트를 검출하고, 검출된 타이밍 신호를 출력하며, 메모리 뱅크와 래딕스-2 FFT부를 갖는 신호 변환부는 롱 프리앰블과 데이터를 갖는 OFDM 신호를 주파수 영역의 OFDM 신호로 변환하여 출력한다. 래딕스-2 FFT부는 파이프 라인 구조를 갖고서, 메모리 뱅크에 저장된 롱 프리앰블을 FFT 변환하여 메모리 뱅크에 저장하고, 버퍼링되어 입력되는 데이터와 다이렉트 입력되는 데이터에 대해서 FFT 변환하고, FFT 변환된 데이터를 메모리 뱅크에 저장한다. 메모리 뱅크는 4개의 메모리로 이루어져, FFT 변환전과 후의 롱 프리앰블을 각각 저장하고, FFT 변환된 데이터가 입력됨에 따라 기저장된 FFT 변환후의 롱 프리앰블 또는 FFT 변환된 데이터를 복조를 위해 출력한다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

고속 푸리에 변환 프로세서와, 이를 이용한 고속 푸리에 변환 방법 및 이를 갖는 직교 주파수 분할 다중 변조 방식의 수신장치{Fast Fourier Transmitter processor, Fast Fourier Transmitting method, and Orthogonal Frequency Division Multiplexing receiving device having the same}

【도면의 간단한 설명】

도 1은 일반적인 OFDM 신호의 패킷 구조를 설명하기 위한 도면이다.

도 2는 본 발명에 따른 OFDM 수신장치를 설명하기 위한 도면이다.

도 3은 본 발명의 실시예에 따른 고속 푸리에 변환 프로세서를 설명하기 위한 도면이다.

도 4는 상기한 도 3에 의한 데이터 지연을 설명하기 위한 도면이다.

도 5는 상기한 도 3의 FFT부를 설명하기 위한 도면이다.

도 6 상기한 도 5 파이프라인 구조의 FFT부의 동작을 설명하기 위한 도면이다.

도 7은 본 발명에 따른 메모리 뱅크의 입력 구조를 도식적으로 설명하기 위한 도면이다.

도 8은 발명에 따른 메모리 뱅크의 출력 구조를 도식적으로 설명하기 위한 도면이다.

도 9a 및 도 9b는 본 발명에 따른 OFDM 수신장치를 이용한 데이터 복조 과정을 설명하기 위한 흐름도이다.

<도면의 주요부분에 대한 부호의 설명>

10 : 튜너 20 : 복소 겸출부

30 : A/D 변환부 40 : 고속 푸리에 변환 프로세서

50 : 복조부 210 : 타이밍 획득부

220 : 신호 변환부 221 : FFT 입력 버퍼

222 : 래디스-2 FFT부 223 : 메모리 뱅크

230 : 제어부 240 : 주파수 영역 등화부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 고속 푸리에 변환 프로세서에 관한 것으로, 보다 상세하게는 데이터 처리 지역 시간과 동작 전력을 줄이기 위한 고속 푸리에 변환 프로세서와, 이를 이용한 고속 푸리에 변환 방법 및 이를 갖는 직교 주파수 분할 다중 복조 방식의 수신장치에 관한 것이다.

<18> 일반적으로 직교 주파수 분할 다중 복조(Orthogonal Frequency Division Multiplexing, 이하 OFDM)는 시간축에 따라 직렬로 입력되는 데이터를 병렬로 변환하여 역퓨리에 변환(IFFT; Inverse Fast Fourier Transform)을 수행한 후, 직렬로 다시 변환하여 OFDM 수신장치로 전송하는 복조방식이다. 상기 OFDM 수신장

치에서는 입력된 신호를 디지털 신호로 변환한다. 이때 디지털 변환된 신호는 일정한 비트 단위로 고속 푸리에 변환(Fast Fourier Transform, 이하 FFT)하여 원래의 신호로 복원한다.

<19> 무선 모뎀 표준인 IEEE 802.11a는 상기 OFDM 방식을 이용하여 신호를 송/수신한다. OFDM 송신시스템측에서는 신호의 동기를 위해 짧은 프리앰블(Short Preamble)과 긴 프리앰블(Long Preamble)을 패킷 전반부에 전송하고, OFDM 수신시스템측에서는 상기 프리앰블을 통해 동기하여 OFDM 신호를 복조한다.

<20> 도 1은 일반적인 OFDM 신호의 패킷 구조를 설명하기 위한 도면으로, 특히 IEEE 802.11a에 따른 OFDM 신호의 패킷 구조를 설명하기 위한 도면이다.

<21> 도 1을 참조하면, OFDM 신호의 패킷에는 주기가 각각 16, 64 샘플인 두 종류의 프리앰블이 정의되어 있는데, t1부터 t10까지는 주기가 16 샘플인 짧은 프리앰블을, T1과 T2는 주기가 64샘플인 긴 프리앰블을 각각 나타낸다. 프리앰블 하나의 샘플 길이는 50ns이고, 프리앰블 전체는 총 16 μ s의 길이를 갖는다.

<22> IEEE 802.11a 규격에서는 t1 내지 t7 구간을 신호검출, 자동 이득 제어(AGC; Automatic Gain Control) 및 다이버시티 선택(Diversity selection)을 위해 할당하고, t8 내지 t10 구간을 대략적(coarse) 반송파 주파수 옵셋과 심볼 동기 옵셋 추정을 위해 할당하며, T1, T2 구간을 세밀한(fine) 반송파 주파수 옵셋과 채널 추정을 수행하도록 할당한다.

<23> 또한, GI2는 N/2 샘플 가아드 인터벌이고, GI는 N/4 샘플 가아드 인터벌이다. 여기서, N은 FFT 포인트이고, 심볼은 상기 FFT 포인트에 가변 인터벌을 합한

것이다. 예를 들어, FFT 포인트를 64라면, 가변 인터벌을 포함하는 심볼은 80이다.

<24> 그러나, 상기 통 프리앰블의 경우에는 OFDM 수신장치내에 구비되어, 시간 영역의 신호를 주파수 영역의 신호로 변환하는 FFT의 전단부인 시간 영역(Time Domain)과 FFT의 후단부인 주파수 영역(Frequency Domain)에서 동시에 필요로 한다. 이러한 이유에서 상기 통 프리앰블의 경우에는 버퍼링 과정을 거쳐 신호를 지연시키고 있다.

【발명이 이루고자 하는 기술적 과제】

<25> 이에 본 발명의 기술과 과제는 이러한 점에 착안한 것으로 본 발명의 목적은 OFDM 신호 지연을 최소화하기 위해 버퍼의 구조 및 FFT의 구조를 변경하여 저전력 및 하드웨어의 감소를 달성할 수 있는 고속 푸리에 변환 프로세서를 제공하는 것이다.

<26> 또한, 본 발명의 다른 목적은 상기한 고속 푸리에 변환 프로세서를 이용한 고속 푸리에 변환 방법을 제공하는 것이다.

<27> 또한, 본 발명의 또 다른 목적은 상기한 고속 푸리에 변환 프로세서를 갖는 OFDM 수신장치를 제공하는 것이다.

【발명의 구성 및 작용】

<28> 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 고속 푸리에 변환 프로세서는, 통 프리앰블과, 상기 통 프리앰블에 후속하는 복수의 데이터로 이루어진 심볼을 갖는 직교 주파수 분할 다중 변조(OFDM) 신호를 복조하기 위한

고속 푸리에 변환 프로세서에 있어서, 상기 통 프리앰블의 종료 포인트를 검출하고, 검출된 타이밍 신호를 출력하는 타이밍 획득부; 상기 타이밍 신호에 응답하여 제1 컨트롤 신호와 제2 컨트롤 신호를 출력하는 제어부; 상기 제1 컨트롤 신호에 응답하여 상기 통 프리앰블을 제1 저장한 후 제1 저장된 통 프리앰블을 FFT 변환하여 제2 저장하고, 상기 복수의 데이터가 순차적으로 입력됨에 따라 FFT 변환한 후 제2 저장된 통 프리앰블을 출력한 후 상기 FFT 변환된 데이터를 저장한 후 출력하는 신호 변환부; 및 상기 제2 컨트롤 신호에 응답하여 상기 신호 변환부로부터 출력되는 FFT 변환된 통 프리앰블과 데이터를 주파수에 동기시켜 출력하는 주파수 영역 등화부를 포함하여 이루어진다.

<29> 또한, 상기한 본 발명의 다른 목적을 실현하기 위한 하나의 특징에 따른 고속 푸리에 변환 방법은, N 샘플의 동일한 시퀀스가 반복되는 제1 및 제2 통 프리앰블과, 상기 제2 통 프리앰블에 후속하는 복수의 데이터로 이루어진 심볼을 갖는 직교 주파수 분할 다중 변조(OFDM) 신호의 고속 푸리에 변환 방법에 있어서, (a) 상기 OFDM 신호가 입력됨에 따라, 상기 제1 및 제2 통 프리앰블을 제1 내지 제4 메모리에 순차적으로 저장하는 단계; (b) 상기 제2 통 프리앰블의 종료 포인트를 검출함에 따라, 상기 제1 내지 제4 메모리에 저장된 제1 및 제2 통 프리앰블을 리드하여 제1 FFT 변환하고, 제1 FFT 변환된 제1 및 제2 통 프리앰블을 상기 제1 및 제2 메모리에 순차적으로 저장하는 단계; (c) 상기 제1 및 제2 통 프리앰블에 대한 FFT를 종료함에 따라, 버퍼링 입력되는 제1 데이터와 다이렉트 입력되는 제2 데이터를 FFT 변환하여 메모리에 순차적으로 저장하고, 상기 메모리에 저장된 FFT 결과값을 출력하는 단계; 및 (d) 마지막 심볼인지의 여부를 체크

하여, 마지막 심볼이라 체크되는 경우에는 종료하고, 마지막 심볼이 아닌 것으로 체크되는 경우에는 상기 단계(c)로 피드백하는 단계를 포함하여 이루어진다.

<30> 또한, 상기한 본 발명의 또 다른 목적을 실현하기 위한 하나의 특징에 따른
직교 주파수 분할 다중 변조 방식의 수신장치는, 통 프리앰블과, 상기 통 프리앰
블에 후속하는 복수의 데이터로 이루어진 심볼을 갖는 OFDM 신호를 튜너로부터
제공받아 베이스 밴드 OFDM 신호로 변환하여 실수부의 OFDM 신호(I 채널)와 허수
부의 OFDM 신호(Q 채널)를 획득하고, 획득한 상기 실수부의 OFDM 신호와 허수부
의 OFDM 신호를 출력하는 복소 검출부; 상기 실수부의 OFDM 신호와 허수부의
OFDM 신호를 디지털 변환하고, 디지털 변환된 실수부의 OFDM 데이터와 허수부의
OFDM 데이터를 출력하는 A/D 변환부; 디지털 변환된 OFDM 데이터의 모든 심볼에
대해 복소수 연산을 통해 고속 푸리에 변환을 수행하는 고속 푸리에 변환 프로세
서; 및 상기 고속 푸리에 변환된 실수부 및 허수부 OFDM 신호를 제공받아 복조하
는 복조부를 포함하고,

<31> 상기 고속 푸리에 변환 프로세서는, 상기 통 프리앰블의 종료 포인트를 검
출하고, 검출된 타이밍 신호를 출력하는 타이밍 획득부; 상기 타이밍 신호에 응
답하여 제1 컨트롤 신호와 제2 컨트롤 신호를 출력하는 제어부; 상기 제1 컨트롤
신호에 응답하여 상기 통 프리앰블을 제1 저장한 후 제1 저장된 통 프리앰블을
FFT 변환하여 제2 저장하고, 상기 복수의 데이터가 순차적으로 입력됨에 따라
FFT 변환한 후 제2 저장된 통 프리앰블을 출력한 후 상기 FFT 변환된 데이터를
저장한 후 출력하는 신호 변환부; 및 상기 제2 컨트롤 신호에 응답하여 상기 신

호 변환부로부터 출력되는 FFT 변환된 통 프리앰블과 데이터를 주파수에 동기시켜 출력하는 주파수 영역 등화부를 포함하여 이루어진다.

<32> 이러한 고속 푸리에 변환 프로세서와, 이를 이용한 고속 푸리에 변환 방법 및 이를 갖는 OFDM 수신장치에 의하면, 메모리 구조의 효율성 및 처리 지연의 감소, 그리고 FFT의 동작 클록을 감소시킬 수 있다. 특히, 저전력 설계를 위한 파이프라인 FFT 구조 및 병렬 버퍼의 사용으로 버퍼 출력에 소요되는 처리지연을 제거함으로써 전체적인 신호 지연을 감소시킴과 동시에 병렬 버퍼의 FFT 출력 버퍼 재사용으로 하드웨어적인 효율성까지 획득할 수 있다.

<33> 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

<34> 도 2는 본 발명에 따른 OFDM 수신장치를 설명하기 위한 도면이다.

<35> 도 2를 참조하면, 본 발명에 따른 OFDM 수신장치는 튜너(10), 복소 검출부(20), A/D 변환부(30), 고속 푸리에 변환 프로세서(40) 및 복조부(50)를 포함하여, 외부로부터 수신되는 OFDM 신호를 복조하고, 복조된 OFDM 신호를 재생 장치(미도시) 등에 제공한다.

<36> 튜너(10)는 수신 유니트(미도시)에 연결되어, OFDM 송신장치(미도시)로부터 전송되는 OFDM 신호(9)를 상기 수신 유니트를 통해 제공받아 이를 중간 주파수 범위를 갖는 OFDM 신호(11)로 변환하고, 변환된 OFDM 신호(11)를 복소 검출부(20)에 제공한다.

<37> 복소 검출부(20)는 튜너(10)로부터 제공되는 OFDM 신호(11)를 베이스 밴드의 OFDM 신호로 변환하여 실수부(real part)의 OFDM 신호(I 채널)(21I)와 허수부(imaginary part)의 OFDM 신호(Q 채널)(21Q)를 획득하고, 획득한 상기 실수부의 OFDM 신호(21I)와 허수부의 OFDM 신호(21Q)를 A/D 변환부(30)에 제공한다.

<38> A/D 변환부(30)는 상기 실수부의 OFDM 신호(21I)와 허수부의 OFDM 신호(21Q)를 디지털 변환하고, 디지털 변환된 실수부의 OFDM 신호(31I)와 허수부의 OFDM 신호(31Q)를 고속 푸리에 변환 프로세서(40)에 제공한다.

<39> 고속 푸리에 변환 프로세서(40)는 디지털 변환된 실수부의 OFDM 신호(31I)와 허수부의 OFDM 신호(31Q)를 제공받기 위해 A/D 변환부(30)에 연결되어, 상기 OFDM 신호의 모든 심볼에 대해 복소수(complex number) 연산을 통해 고속 푸리에 변환을 수행한다. 이를 수학식으로 정의하면 아래와 같다.

<40> 먼저, FFT 정의식에서 FFT의 입력을 실수부와 허수부로 표현하면 수학식 1과 같다.

<41> **【수학식 1】** $x(n)=a(n)+jb(n)$

<42> 여기서, $x(n)$ 는 FFT의 입력이고, $a(n)$ 은 실수부이며, $b(n)$ 은 허수부이다. FFT의 출력도 하기하는 수학식 2와 같이 표현할 수 있다.

<43> **【수학식 2】** $X(k)=A(k)+jB(k)$

<44> 이것을 FFT 일반식에 대입하여 정리하면, 하기하는 수학식 3 내지 5와 같다.

<45> **【수학식 3】**
$$X(k) = \sum_{n=0}^{N-1} x(n) e^{-j2\frac{\pi}{N} kn}$$

<46> **【수학식 4】**
$$\begin{aligned} A(k) + jB(k) &= \sum_{n=0}^{N-1} [\alpha(n) + jb(n)] [\cos(-j2\frac{\pi}{N} kn) + j\sin(-j2\frac{\pi}{N} kn)] \\ &= \sum_{n=0}^{N-1} [\alpha(n)\cos\theta_{kn} + b(n)\sin\theta_{kn}] + j[-\alpha(n)\sin\theta_{kn} + b(n)\cos\theta_{kn}] \end{aligned}$$

<47> 여기서, $\theta_{kn} = j2\frac{\pi}{N} kn$ 이다.

<48>

$$\begin{aligned} \therefore A(k) &= \sum_{n=0}^{N-1} [\alpha(n)\cos\theta_{kn} + b(n)\sin\theta_{kn}] \\ \text{【수학식 5】} \quad B(k) &= \sum_{n=0}^{N-1} [-\alpha(n)\sin\theta_{kn} + b(n)\cos\theta_{kn}] \end{aligned}$$

<49> 여기서, $\theta_{kn} = j2\frac{\pi}{N} kn$ 이다.

<50> 이러한 고속 푸리에 변환에 의해 OFDM 신호는 디지털 변조 파형의 주파수 축에서 실수부(real part)와 허수부(imaginary part)로 각각 나뉘어진다.

<51> 복조부(50)는 고속 푸리에 변환 프로세서(40)로부터 고속 푸리에 변환된 실 수부 및 허수부 OFDM 신호(41I, 41Q)를 제공받아 복조한다. 물론 복조된 OFDM 신호(51)는 재생을 위해 외부에 별도로 제공되는 처리 장치(미도시)에 전송된다.

<52> 그러면, 첨부하는 도면들을 참조하여 상기한 고속 푸리에 변환 프로세서를 보다 상세히 설명한다.

<53> 도 3은 본 발명의 실시예에 따른 고속 푸리에 변환 프로세서를 설명하기 위한 도면이고, 도 4는 상기한 도 3에 의한 데이터 지연을 설명하기 위한 도면이다

<54> 먼저 도 2와 도 3을 참조하면, 본 발명의 실시예에 따른 고속 푸리에 변환 프로세서(40)는 타이밍 획득부(210), 신호 변환부(220), 제어부(230) 및 주파수 영역 등화부(240)를 포함하여, A/D 컨버터(300)로부터 제공되는 디지털 변환된 시간 영역의 OFDM 신호(31)를 주파수 영역의 신호로 변환하고, 변환된 신호를 주파수에 동조시키며, 주파수 동조된 OFDM 신호(41)를 디코더(미도시)에 출력한다. 여기서, 상기 디코더는 주파수에 동조된 OFDM 신호를 복조하기 위한 복조기(500)의 입력단에 연결된다. 또한, 설명의 편의를 위해 복소 검출부(20)에 의해 분리된 실수부의 OFDM 신호와 허수부의 OFDM 신호로 분리하지 않고 하나의 OFDM 신호로 묶어서 설명한다.

<55> 타이밍 획득부(210)는 OFDM 신호(31)의 통 프리앰블(T1, T2)의 종료 포인트를 검출하고, 검출된 타이밍 신호(211)를 제어부(230)에 제공한다.

<56> 신호 변환부(220)는 FFT 입력 버퍼(221), 파이프라인 FFT 구조(linear systolic array FFT)의 래딕스-2 FFT부(222) 및 메모리 뱅크(223)를 포함하여, 제어부(230)로부터 제공되는 각종 컨트롤 신호(231, 232, 233)에 응답하여 시간 영역의 OFDM 신호를 주파수 영역의 OFDM 신호로 변환하고, 변환된 주파수 영역의 OFDM 신호(220a)를 주파수 영역 등화부(240)에 제공한다.

<57> 보다 상세히는, FFT 입력 버퍼(221)는 싱글 포트를 갖고서, 입력되는 OFDM 신호(31)를 N/2 샘플 저장하고, 상기 N/2 샘플을 초과함에 따라 래딕스-2 FFT부(222)에 제공한다. 여기서, 저장되는 OFDM 신호는 디지털 변환된 신호로서, 통 프리앰블 이후의 데이터중 N/2 샘플에 해당되는 데이터이다.

<58> 래딕스-2 FFT부(222)는 파이프라인 구조를 갖고서, 제어부(230)로부터 제공되는 컨트롤 신호(233)에 응답하여 메모리 뱅크(223)에 저장된 통 프리앰블을 리드하여 FFT 변환하여 주파수 영역의 통 프리앰블로 변환하고, 변환된 통 프리앰블을 메모리 뱅크(223)에 저장한다. 또한 래딕스-2 FFT부(222)는 제어부(230)로부터 제공되는 컨트롤 신호(233)에 응답하여 FFT 입력 버퍼(221)로부터 제공되는 OFDM 신호(31b)와 다이렉트 입력되는 OFDM 신호(31c)에 대해서 FFT 변환하여 주파수 영역의 OFDM 신호로 변환하고, 변환된 OFDM 신호를 메모리 뱅크(223)에 저장한다. 도면상에서는 FFT 변환을 위해 래딕스-2 FFT부(222)가 메모리 뱅크(223)로부터 읽은 신호, 바람직하게는 통 프리앰블을 223a로 표기하고, 래딕스-2 FFT부(222)에 의해 FFT 변환되어 메모리 뱅크(223)에 제공되는 신호인 통 프리앰블이나 데이터를 223a로 표기한다.

<59> 특히, 상기한 파이프라인 FFT 구조는 규칙적이고, 비교적 제어가 간단하며, 시리얼 입력/출력을 하기 때문에 높은 성능을 요구하는 응용 분야에서 널리 사용되는 구조로서, 하나의 버터플라이 프로세싱 소자(Butterfly Processing Element)는 FFT의 신호 흐름도에서 각각의 스테이지(stage)에 해당되는 것으로 열(column)을 하나의 버터플라이 프로세싱 소자로 공유한다.

<60> 메모리 뱅크(223)는 제1 내지 제4 메모리(223A, 223B, 223C, 223D)로 이루어져, 상기한 도 4에서 보는 바와 같이, 타이밍 획득 후 $N/2$ 클럭의 사이클 동안 통 프리앰블의 평균값이 FFT 입력을 완료하며, 이 시점부터 FFT의 출력 메모리 역할을 수행하다. 또한 통 프리앰블 이후부터는 직렬 입력되는 데이터중 전반부 데이터는 FFT 입력 버퍼(221)에 저장되며, 상기 데이터중 후반부 데이터는 입력

즉시 래딕스-2 FFT의 입력으로 할당된다. 상기한 메모리 뱅크(223)의 입/출력 구조에 대해서는 후술하는 도 7 및 도 8에서 상세히 설명한다.

<61> 특히, 상기한 메모리 뱅크(223)에 구비되는 제1 내지 제4 메모리(223A, 223B, 223C, 223D)들은 싱글 포트 메모리이고, 각각의 메모리들은 통 프리앰블 구간까지는 FFT 입력 버퍼로서의 동작을 수행하고, 상기 통 프리앰블 구간을 지난 구간에서는 FFT 출력 버퍼로서의 동작을 수행하므로 고속 푸리에 변환 프로세서(Fast Fourier Transform Processor) 또는 상기 고속 푸리에 변환 프로세서를 갖는 OFDM 수신장치를 구현하는데 있어서, 하드웨어를 감소시킬 수 있다.

<62> 제어부(230)는 타이밍 획득부(210)로부터 획득한 타이밍 신호(211)에 응답하여 신호 변환부(220)에 구비되는 FFT 입력 버퍼(221), 파이프라인 FFT 구조(linear systolic array FFT)의 래딕스-2 FFT부(222) 및 메모리 뱅크(223)의 동작을 제어하는 컨트롤 신호(231, 232, 233)들을 출력한다. 또한 제어부(230)는 주파수 영역 등화부(240)의 출력을 제어하는 컨트롤 신호(234)를 출력한다.

<63> 주파수 영역 등화부(240)는 제어부(230)로부터 제공되는 컨트롤 신호(234)가 입력됨에 따라, 통 프리앰블인 T1, T2의 산술평균값을 이용하여 메모리 뱅크(223)로부터 출력되는 FFT 변환된 결과값(222b)을 주파수에 동기시키고, 주파수 동기된 FFT 결과값(41)을 디코더(미도시)에 출력한다.

<64> 동작시, 래딕스-2 FFT부(222)는 메모리 뱅크(223)에 저장된 통 프리앰블을

추출하여 FFT 변환한 후 메모리 뱅크(223)에 저장하고, 버퍼링되어 입력되는 데 이터와 다이렉트 입력되는 데이터에 대해서 FFT 변환하고, FFT 변환된 데이터를 메모리 뱅크(223)에 저장한다. 메모리 뱅크(223)는 FFT 변환 전과 후의 통 프리 앰블을 각각 저장하고, FFT 변환된 데이터가 입력됨에 따라 기저장된 FFT 변환후의 통 프리앰블 또는 FFT 변환된 데이터를 복조를 위해 주파수 영역 등화부(240)에 출력한다.

<65> 도 5는 상기한 도 3의 FFT부를 설명하기 위한 도면으로, 특히 파이프라인 구조의 래딕스-2 FFT 구조를 나타낸다. 상기한 파이프라인 구조의 래딕스-2 FFT는 발행된 유럽 특허 출원 「파이프라인된 고속 푸리에 변환프로세서」 'PIPELINED FAST FOURIER TRANSFORM PROCESSOR,' 공보 번호 0,478,128A2에 자세히 기재되어 있다. 여기서, 상기 파이프라인된 고속 푸리에 변환 프로세서는 BAU로 약칭된 4개의 버터플라이 프로세싱 소자의 캐스케이드를 포함하여 기술된다.

<66> 이를 버터플라이 프로세싱 소자들 각각은 입력포트에 수신된 데이터를 처리하여, 다음 스테이지의 입력포트에 연속적으로 인가되거나, 또는 최종 제4 스테이지인 경우, 멀티플렉서를 거쳐 메모리 위치에 인가되는 한 쌍의 출력 신호를 발생시킨다.

<67> 도 5를 참조하면, 파이프라인 구조를 갖는 래딕스-2 FFT부(222)는 제1 내지 제6 버터플라이 스테이지(251, 252, 253, 254, 255, 256)를 갖는다.

<68> 각각의 버터플라이 스테이지는 어퍼 및 로우 입력단과 어퍼 및 로우 출력단을 각각 갖는 래딕스-2 버터플라이 프로세싱 소자(2511, 2521, 2531, 2541,

2551)와, 어퍼 및 로우 입력단과 어퍼 및 로우 출력단을 갖는 스위칭 소자(2513, 2523, 2533, 2543, 2553)와, 상기 래딕스-2 버터플라이 프로세싱 소자의 로우 출력단과 상기 스위칭 소자의 로우 입력단에 구비되는 제1 지연소자(2512, 2522, 2532, 2542, 2552)와, 상기 스위칭 소자의 어퍼 출력단과 상기 래딕스-2 버터플라이 프로세싱 소자의 어퍼 입력단에 구비되는 제2 지연소자(2514, 2524, 2534, 2544, 2554)로 이루어진다. 이때 최종단의 버터플라이 스테이지(256)는 어퍼 및 로우 입력단과 어퍼 및 로우 출력단을 각각 갖는 하나의 래딕스-2 버터플라이 프로세싱 소자(2561)만을 갖는다.

<69> 즉, 도 5에 도시한 바와 같이, 본 발명의 실시예에 따른 래딕스-2 FFT 구조는 \log_2^N 개의 버터플라이 스테이지를 사용한 파이프라인 구조이고, $\log_2^N - 2$ 개의 복소 곱셈기를 사용한다.

<70> 래딕스-2 FFT(222), 바람직하게는 최종단의 래딕스-2 버터플라이 프로세싱 소자(2561)에 의해 FFT 처리된 데이터는 심볼별로 메모리 뱅크(223)내의 제1 및 제2 메모리(223A, 223B) 또는 제3 및 제4 메모리(223C, 223D)에 번갈아 저장되며, 주파수 영역 등화부(240)는 FFT와는 반대로 출력한다. 다시 말해, 제1 및 제2 메모리 (223A, 223B)에 FFT 변환된 데이터가 저장될 때, 메모리 뱅크(223)는 제3 및 제4 메모리(223C, 223D)에 저장된 데이터를 주파수 영역 등화부(240)에 출력하고, 제3 및 제4 메모리(223C, 223D)에 FFT 변환된 데이터가 저장될 때, 메모리 뱅크(223)는 제1 및 제2 메모리(223A, 223B)에 저장된 데이터를 주파수 영역 등화부(240)에 출력한다.

<71> 도 5에 따른 구조는 1/4 클럭율을 사용하면서도 동일한 총 FFT 처리 지연인 $N/2$ 를 사용하였다.

<72> 64 포인트 FFT의 경우, 본 발명의 실시예에 따른 구조는 4개의 복소 곱셈기, 4개의 $N/2$ 싱글 포트 메모리, $N/2$ 티.디.엘(TDL; Tapped Delay Line)을 샘플율로 동작시키므로 동작 전력을 감소시킬 수 있다.

<73> 도 6은 상기한 도 5의 파이프라인 구조의 FFT부의 동작을 보다 상세히 설명하기 위한 도면이다. 상기한 도 5에서는 래딕스-2 64-포인트 파이프라인 FFT의 구조를 도시하였으나, 여기서는 설명의 편의상 래딕스-2 16-포인트 파이프라인 FFT의 구조와 이에 따른 데이터 흐름을 도시한다.

<74> 각각의 스위치(SW1, SW2, SW3)에 의해서 각각의 입력되는 데이터가 교차되어, 각 계산에 맞는 버터플라이 소자(butterfly element)로 입력되고, 최종단의 버터플라이 소자가 주파수 영역으로 변환된 OFDM 신호를 출력하는 것을 확인할 수 있다.

<75> 이상에서 설명한 바와 같이, 본 발명의 실시예에 따르면 메모리 비중을 대폭 감소시킬 수 있다. 구체적으로, 싱글 포트 메모리를 사용하고, 메모리 뱅크의 제1 내지 제4 메모리는 통 프리앰블 구간에서 FFT 입력 버퍼로서의 역할을 수행하고, 그 이후 구간에서는 FFT 출력 버퍼로 사용되어 고속 푸리에 변환 프로세서를 구현할 때 하드웨어의 수를 감소시킬 수 있다.

<76> 한편, 데이터 처리 지연의 관점에서 보면, 통 프리앰블 이후 모든 신호의 경우 FFT 입력단까지 지연이 발생하지 않는데, 이로 인해 1/2 클럭율로 동작하더

라도 데이터 처리 지연이 감소하는 효과를 얻을 수 있다. 구체적으로, 타이밍 획득이 일어나고 있는 데이터는 제1 내지 제4 메모리(223A, 223B, 223C, 223D)에 순차적으로 저장이 되고, 상기한 도 7의 화살표 지점에서 타이밍 획득이 결정되면 현재 저장하고 있는 메모리의 다음 어드레스가 T1의 첫번째 저장 위치가 된다.

<77> 만약 64-포인트 FFT에서 제1 메모리(223A)의 어드레스 15에서 타이밍 획득이 발생하면, 도 7과 같은 데이터 분포가 이루어 질 것이다.

<78> 도 7은 상기한 도 3의 메모리 뱅크 FFT 입력 구조를 도식적으로 설명하기 위한 도면이고, 도 8은 상기한 도 3의 메모리 뱅크 FFT 출력 구조를 도식적으로 설명하기 위한 도면이다.

<79> 도 7 및 도 8을 참조하면, 타이밍 획득 후 $N/2$ 클럭 사이클 동안 T1, T2의 평균값이 FFT 입력을 완료하며, 이 시점부터 메모리 뱅크는 FFT의 출력 메모리의 역할을 수행하게 되며, 싱글 데이터 이후부터는 전반부 $N/2$ 의 입력은 FFT 입력 버퍼에 저장되며 후반부 데이터는 입력 즉시 FFT 입력으로 할당되므로 샘플 버퍼 지연을 없앨 수 있다.

<80> 결과적으로, 통 프리앰블의 래డ스-2 FFT 입력 신호는 아래와 같은 순서로 $N/2$ 클럭 사이클 동안 이루어진다.

<81> -----

<82> $(B16+D16)/2, (C16+A16)/2$

<83> $(B17+D17)/2, (C17+A17)/2$

<84>(중략)....

<85> $(C0+A0)/2, (B0+D0)/2$

<86>(중략)....

<87> $(C15+A15)/2, (B15+D15)/2$

<88> -----

<89> 도 7에서 보는 바와 같이, 타이밍 획득후, $N/2$ 클럭 사이클 동안 $T1, T2$ 의 평균값이 FFT 입력을 완료하며, 상기 완료 시점부터 메모리 뱅크(223)는 FFT의 출력 메모리의 역할을 수행한다. 또한 상기 신호 데이터 이후부터는 전반부 $N/2$ 의 입력은 FFT 입력 버퍼(221)에 저장되며 후반부 데이터는 입력 즉시 FFT 입력으로 할당되므로 결과적으로, 샘플 버퍼 지연을 제거할 수 있다.

<90> 이상에서 설명한 바와 같이, 본 발명의 실시예에 따른 OFDM 수신장치는 저전력 설계를 위해 파이프라인 FFT 구조를 채택하였고, 버퍼 출력에 소요되는 처리 지연을 제거하기 위해 병렬 버퍼를 사용하므로써, 전체적인 신호 지연을 감소 시킴과 함께 병렬 버퍼의 FFT 출력 버퍼 재사용으로 하드웨어적인 효율성까지 획득할 수 있다.

<91> 도 9a 및 도 9b는 본 발명에 따른 OFDM 수신장치를 이용한 데이터 복조 과정을 설명하기 위한 흐름도로서, 특히 본 발명의 실시예에 따른 OFDM 수신장치를 이용한 데이터 복조 과정을 설명하기 위한 흐름도이다.

<92> 도 6, 도 9a 및 도 9b를 참조하면, 먼저 통 프리앰블 라이트 시작인지의 여부를 체크하여(단계 S105), 상기 통 프리앰블 라이트 시작이라 체크되는 경우에

는 4개의 메모리 영역, 즉 제1 내지 제4 메모리(223A, 223B, 223C, 223D)에 외부, 즉 A/D 컨버터로부터 직접 입력되는 디지털 변환된 통 프리앰블을 순차적으로 저장한다(단계 S110).

<93> 이어 동기 신호 검출인지의 여부를 체크하여(단계 S115), 동기 신호 미검출이라 체크되는 경우에는 단계 S110으로 피드백하고, 동기 신호 검출이라 체크되는 경우에는 제1 및 제3 메모리(223A, 223C)에 저장된 통 프리앰블을 추출하여 래딕스-2 FFT(222)의 제1 입력단자(이하, 로우 래딕스-2 FFT)에 제공하고, 제2 및 제4 메모리(223B, 223D)에 저장된 통 프리앰블을 추출하여 래딕스-2 FFT의 제2 입력단자(이하, 어퍼 래딕스-2 FFT)에 제공하여 통 프리앰블에 대한 FFT를 수행한다(단계 S120). 물론 상기 제1 및 제3 메모리(223A, 223C)에 저장된 통 프리앰블을 상기 어퍼 래딕스-2 FFT에 제공하고, 상기 제2 및 제4 메모리(223B, 223D)에 저장된 통 프리앰블을 상기 로우 래딕스-2 FFT에 제공하여 FFT를 수행할 수도 있다.

<94> 이어, 상기 통 프리앰블에 대해 FFT가 종료되었는지의 여부를 체크하여(단계 S125), 상기 통 프리앰블에 대해 FFT가 미종료되었다고 체크되는 경우에는 단계 S120으로 피드백한다.

<95> 상기 단계 S125에서 통 프리앰블에 대한 FFT가 종료되었다고 체크되는 경우에는 각 심볼의 M/2 번째 데이터가 입력되는지의 여부를 체크하여(단계 S132), 상기 각 심볼의 M/2 번째 데이터가 미입력되는 것으로 체크되는 경우에는 단계 S132로 피드백하고, 상기 각 심볼의 M/2 번째 데이터가 입력되는 것으로 체크되는 경우에는 다이렉트 입력되는 데이터를 상기 로우 래딕스-2 FFT에 제공하여

FFT 변환을 수행하고, 그 결과를 상기 메모리 뱅크(223)에 저장하고, 상기 FFT 입력 버퍼(221)를 경유하여 데이터를 상기 어퍼 래딕스-2 FFT에 제공하여 FFT 변환을 수행하고, 그 결과를 상기 메모리 뱅크(223)에 저장한다(단계 S134). 예를 들어, 64-포인트 OFDM 신호를 FFT 처리하는 경우, 33번째 데이터가 입력되면 상기 FFT 입력 버퍼에 저장되었던 첫 번째 데이터와 33번째 데이터를 하나의 유니트로 하여 FFT 변환을 위해 상기 래딕스-2 FFT(222)에 제공하고, 두 번째 데이터와 34번째 데이터를 하나의 유니트로 하여 FFT 변환을 위해 상기 래딕스-2 FFT(222)에 제공하는 방식을 통해 OFDM 신호에서 실질적으로 유효 데이터라 할 수 있는 데이터를 FFT 변환한다.

<96> 이어, 마지막 심볼인지의 여부를 체크하여(단계 S136), 마지막 심볼이라 체크되는 경우에는 종료하나, 마지막 심볼인 아닌 것으로 체크되는 경우에는 단계 S132로 피드백하여 지속적으로 FFT 변환을 수행한다. 여기서, 상기 마지막 심볼이라는 메시지는 고속 푸리에 변환 프로세서(40)의 외부에 구비되는 디코더나 복조부 등을 통해 제공받는다.

<97> 한편, 상기 단계 S125에서 통 프리앰블에 대한 FFT가 종료되었다고 체크되는 경우에는 토글 신호를 '0'으로 설정하고(단계 S142), FFT의 종료 여부를 체크한다(단계 S144).

<98> 상기 단계 S144에서 FFT의 미종료라 체크되는 경우에는 FFT가 종료할 때까지 대기하지만, FFT의 종료라 체크되는 경우에는 FFT 출력을 상기 제1 및 제3 메모리(223A, 223C)에 저장하고, 상기 제2 및 제4 메모리(223B, 223D)로부터 FFT 결과를 리드하여 출력한다(단계 S146). 여기서, 상기 제1 및 제3 메모리(223A,

223C)에는 M/2 샘플이 저장되고, 상기 제2 및 제4 메모리(223B, 223D)로부터는 M 샘플이 출력된다.

<99> 또한, 상기 단계 S144에서 FFT의 종료라 체크되는 경우에는 FFT 출력을 상기 제2 및 제4 메모리에 저장하고, 상기 제1 및 제3 메모리(223A, 223C)로부터 FFT 결과를 리드하여 출력한다(단계 S147). 여기서, 상기 제2 및 제4 메모리(223B, 223D)에는 M/2 샘플이 저장되고, 상기 제1 및 제3 메모리(223A, 223C)로부터 M 샘플이 출력된다.

<100> 상기 단계 S146 및 단계 S147에 이어, 상기 토글 신호를 '0'에서 '1'로 반전하고(단계 S149), 마지막 심볼인지의 여부를 체크하여(단계 S150), 상기 마지막 심볼이라 체크되는 경우에는 종료하지만, 상기 마지막 심볼이 아닌 것으로 체크되는 경우에는 단계 S144로 피드백한다.

<101> 통상적으로 N-포인트 FFT의 경우, \log_2^N 개의 스테이지가 필요하다. 만약 래딕스-2와 싱글 스테이지를 사용한다면, $N/2 * \log_2^N$ 만큼의 처리 시간이 필요하다. 예컨대, N이 64라면, $32*6=192$ 만큼의 처리 시간이 소요되며, 추가적으로 입력되는 다른 심볼들을 처리하기 위해서 4배의 샘플 클럭을 이용하여 FFT 처리하여야 한다. 즉, 처리 시간은 $1/4 * 32 * 6 = 48$ 이 되며 메모리 입/출력 지연을 포함해 근사적으로 N 샘플 정도의 처리 지연이 발생한다.

<102> 하지만, 본 발명의 실시예에 따른 고속 푸리에 변환 프로세서의 구조는 1/4 클럭율을 사용하면서도 동일한 총 FFT 처리 지연을 N/2 샘플로 줄일 수 있다.

<103> 이상에서는 64-포인트 FFT를 위해 4개의 복소 곱셈기, $N/2$ 샘플을 저장하는 4개의 싱글 포트 메모리, 그리고 $N/2$ TDL(Tapped Delay Line)을 샘플을로 동작 시키는 고속 푸리에 변환 프로세서를 설명하였으나, 당업자라면 다양한 포인트 FFT, 예를들어, 8-포인트 FFT나 16-포인트 FFT 등에도 적용하므로써 동작 전력을 줄일 수 있을 것이다.

<104> 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<105> 이상에서 설명한 바와 같이, 본 발명에 따른 래디스-2 FFT부는 파이프라인 구조를 갖고서, 메모리 뱅크에 저장된 통 프리앰블을 FFT 변환하여 상기 메모리 뱅크에 저장하고, 버퍼링되어 입력되는 데이터와 다이렉트 입력되는 데이터에 대해서 FFT 변환하고, FFT 변환된 데이터를 상기 메모리 뱅크에 저장한다. 상기 메모리 뱅크는 4개의 메모리로 이루어져, FFT 변환전과 후의 통 프리앰블을 각각 저장하고, FFT 변환된 데이터가 입력됨에 따라 기저장된 FFT 변환후의 통 프리앰블 또는 FFT 변환된 데이터를 복조를 위해 출력한다. 이처럼 본 발명은 병렬 메모리 구조를 사용하므로써 OFDM 신호의 처리 지연을 감소시킬 수 있고, 메모리의 포트를 싱글 포트로 변환하고, 상기 메모리를 재사용하므로써 하드웨어의 사이즈를 감소시킬 수 있다. 또한, 파이프라인 구조의 FFT를 사용하므로써 동작 전력을

1020020073659

출력 일자: 2003/8/28

을 감소시킬 수 있다. 즉, 하드웨어의 복잡도를 감소시킬 수 있고, 저전력 설계
를 할 수 있다.

【특허청구범위】**【청구항 1】**

통 프리앰블과, 상기 통 프리앰블에 후속하는 복수의 데이터로 이루어진 심볼을 갖는 직교 주파수 분할 다중 변조(OFDM) 신호를 복조하기 위한 고속 푸리에 변환 프로세서에 있어서,

상기 통 프리앰블의 종료 포인트를 검출하고, 검출된 타이밍 신호를 출력하는 타이밍 획득부;

상기 타이밍 신호에 응답하여 제1 컨트롤 신호와 제2 컨트롤 신호를 출력하는 제어부;

상기 제1 컨트롤 신호에 응답하여 상기 통 프리앰블을 제1 저장한 후 제1 저장된 통 프리앰블을 FFT 변환하여 제2 저장하고, 상기 복수의 데이터가 순차적으로 입력됨에 따라 FFT 변환한 후 제2 저장된 통 프리앰블을 출력한 후 상기 FFT 변환된 데이터를 저장한 후 출력하는 신호 변환부; 및

상기 제2 컨트롤 신호에 응답하여 상기 신호 변환부로부터 출력되는 FFT 변환된 통 프리앰블과 데이터를 주파수에 동기시켜 출력하는 주파수 영역 등화부를 포함하는 고속 푸리에 변환 프로세서.

【청구항 2】

제1항에 있어서, 상기 신호 변환부가,

상기 제1 컨트롤 신호에 응답하여 입력되는 데이터를 일시 저장하고, 일시 저장된 데이터를 출력하는 입력 버퍼;

통 프리앰블과 데이터를 저장하고, FFT 변환된 통 프리앰블과 데이터를 저장하며, 상기 제1 컨트롤 신호에 응답하여 저장된 통 프리앰블과 데이터를 출력하는 메모리 뱅크; 및

상기 제1 컨트롤 신호에 응답하여 상기 메모리 뱅크에 저장된 통 프리앰블을 리드하여 FFT 변환하여 주파수 영역의 통 프리앰블로 변환하고, 변환된 통 프리앰블을 상기 메모리 뱅크에 저장하며, 상기 제어부로부터 제공되는 제1 컨트롤 신호에 응답하여 상기 입력 버퍼로부터 제공되는 데이터와 디렉트 입력되는 데이터에 대해서 FFT 변환하여 주파수 영역의 심볼로 변환하고, 변환된 데이터를 상기 메모리 뱅크에 저장하는 주파수 변환부를 포함하는 것을 특징으로 하는 고속 푸리에 변환 프로세서.

【청구항 3】

제1항에 있어서, 상기 메모리 뱅크는 제1 내지 제4 메모리로 이루어지는 것을 특징으로 하는 고속 푸리에 변환 프로세서.

【청구항 4】

제1항에 있어서, 상기 입력 버퍼가 싱글 포트를 갖고서, 입력되는 심볼의 $N/2$ 샘플 저장하는 것을 특징으로 하는 고속 푸리에 변환 프로세서.

【청구항 5】

제1항에 있어서, 상기 주파수 변환부는 래딕스-2 FFT부로 이루어지고, 상기 래딕스-2 FFT부는 파이프라인 구조를 갖는 것을 특징으로 하는 고속 푸리에 변환 프로세서.

【청구항 6】

제1항에 있어서, 상기 메모리 뱅크가 입/출력 기능을 갖는 것을 특징으로 하는 고속 푸리에 변환 프로세서.

【청구항 7】

제1항에 있어서, 상기 제1 내지 제4 메모리 각각은 상기 심볼의 $N/2$ 샘플을 저장하는 것을 특징으로 하는 고속 푸리에 변환 프로세서.

【청구항 8】

N 샘플의 동일한 시퀀스가 반복되는 제1 및 제2 롱 프리앰블과, 상기 제2 롱 프리앰블에 후속하는 복수의 데이터로 이루어진 심볼을 갖는 직교 주파수 분할 다중 변조(OFDM) 신호의 고속 푸리에 변환 방법에 있어서,

(a) 상기 OFDM 신호가 입력됨에 따라, 상기 제1 및 제2 롱 프리앰블을 제1 내지 제4 메모리에 순차적으로 저장하는 단계;

(b) 상기 제2 롱 프리앰블의 종료 포인트를 검출함에 따라, 상기 제1 내지 제4 메모리에 저장된 제1 및 제2 롱 프리앰블을 리드하여 제1 FFT 변환하고, 제1 FFT 변환된 제1 및 제2 롱 프리앰블을 상기 제1 및 제2 메모리에 순차적으로 저장하는 단계;

(c) 상기 제1 및 제2 롱 프리앰블에 대한 FFT를 종료함에 따라, 버퍼링 입력되는 제1 데이터와 다이렉트 입력되는 제2 데이터를 FFT 변환하여 메모리에 순차적으로 저장하고, 상기 메모리에 저장된 FFT 결과값을 출력하는 단계; 및

(d) 마지막 심볼인지의 여부를 체크하여, 마지막 심볼이라 체크되는 경우에 종료하고, 마지막 심볼이 아닌 것으로 체크되는 경우에는 상기 단계(c)로 피드백하는 단계를 포함하는 고속 푸리에 변환 방법.

【청구항 9】

제8항에 있어서, 상기 단계(c)는,

(c-1) 상기 제1 및 제2 통 프리앰블에 대한 FFT를 종료함에 따라, 메모리의 리드/라이트를 제어하는 제1 토글 신호를 설정하는 단계;

(c-2) 상기 제1 토글 신호가 설정됨에 따라, 제1 및 제2 데이터에 대한 FFT 종료 여부를 체크하는 단계;

(c-3) 상기 제1 및 제2 데이터에 대한 FFT 종료라 체크되는 경우에는 FFT 변환된 제1 및 제2 데이터를 상기 제1 및 제3 메모리에 순차적으로 저장하고, 상기 제2 및 제4 메모리에 저장된 FFT 결과값을 순차적으로 출력하는 단계; 및

(c-4) 상기 제1 토글 신호를 반전시켜 메모리의 라이트/리드를 제어하는 제2 토글 신호를 설정하는 단계를 포함하는 고속 푸리에 변환 방법.

【청구항 10】

제9항에 있어서, 상기 단계(c-3)는,

(c-31) 상기 제1 및 제2 데이터에 대한 FFT 변환 종료라 체크되는 경우에는 FFT 변환된 제1 및 제2 데이터를 상기 제2 및 제4 메모리에 순차적으로 저장하고, 상기 제1 및 제3 메모리에 저장된 FFT 결과값을 순차적으로 출력하는 단계를 더 포함하는 것을 특징으로 하는 고속 푸리에 변환 방법.

【청구항 11】

제9항에 있어서, 상기 제1 토글 신호가 상기 제1 및 제3 메모리의 리드를 제어하고, 상기 제2 및 제4 메모리의 라이트를 제어하고, 상기 제2 토글 신호가 상기 제1 및 제3 메모리의 라이트를 제어하고, 상기 제2 및 제4 메모리의 리드를 제어하는 것을 특징으로 하는 고속 푸리에 변환 방법.

【청구항 12】

제8항에 있어서, 상기 제1 데이터는 FFT 포인트의 1/2만큼 지연된 데이터인 것을 특징으로 하는 고속 푸리에 변환 방법.

【청구항 13】

통 프리앰블과, 상기 통 프리앰블에 후속하는 복수의 데이터로 이루어진 심

볼을 갖는 OFDM 신호를 튜너로부터 제공받아 베이스 밴드 OFDM 신호로 변환하여

실수부의 OFDM 신호(I 채널)와 허수부의 OFDM 신호(Q 채널)를 획득하고, 획득한

상기 실수부의 OFDM 신호와 허수부의 OFDM 신호를 출력하는 복소 검출부;

상기 실수부의 OFDM 신호와 허수부의 OFDM 신호를 디지털 변환하고, 디지털 변환된 실수부의 OFDM 데이터와 허수부의 OFDM 데이터를 출력하는 A/D 변환부;

디지털 변환된 OFDM 데이터의 모든 심볼에 대해 복소수 연산을 통해 고속 푸리에 변환을 수행하는 고속 푸리에 변환 프로세서; 및

상기 고속 푸리에 변환된 실수부 및 허수부 OFDM 신호를 제공받아 복조하는 복조부를 포함하고, 상기 고속 푸리에 변환 프로세서는,

상기 통 프리앰블의 종료 포인트를 검출하고, 검출된 타이밍 신호를 출력하는 타이밍 획득부;

상기 타이밍 신호에 응답하여 제1 컨트롤 신호와 제2 컨트롤 신호를 출력하는 제어부;

상기 제1 컨트롤 신호에 응답하여 상기 통 프리앰블을 제1 저장한 후 제1 저장된 통 프리앰블을 FFT 변환하여 제2 저장하고, 상기 복수의 데이터가 순차적으로 입력됨에 따라 FFT 변환한 후 제2 저장된 통 프리앰블을 출력한 후 상기 FFT 변환된 데이터를 저장한 후 출력하는 신호 변환부; 및

상기 제2 컨트롤 신호에 응답하여 상기 신호 변환부로부터 출력되는 FFT 변환된 통 프리앰블과 데이터를 주파수에 동기시켜 출력하는 주파수 영역 등화부를 포함하는 직교 주파수 분할 다중 변조 방식의 수신장치.

【청구항 14】

제13항에 있어서, 상기 신호 변환부가,

상기 제1 컨트롤 신호에 응답하여 입력되는 데이터를 일시 저장하고, 일시 저장된 데이터를 출력하는 입력 버퍼;

통 프리앰블과 데이터를 저장하고, FFT 변환된 통 프리앰블과 데이터를 저장하며, 상기 제1 컨트롤 신호에 응답하여 저장된 통 프리앰블과 데이터를 출력하는 메모리 뱅크; 및

상기 제1 컨트롤 신호에 응답하여 상기 메모리 뱅크에 저장된 통 프리앰블을 리드하여 FFT 변환하여 주파수 영역의 통 프리앰블로 변환하고, 변환된 통 프

리앰블을 상기 메모리 뱅크에 저장하며, 상기 제어부로부터 제공되는 제1 컨트롤 신호에 응답하여 상기 입력 버퍼로부터 제공되는 데이터와 다이렉트 입력되는 데이터에 대해서 FFT 변환하여 주파수 영역의 심볼로 변환하고, 변환된 데이터를 상기 메모리 뱅크에 저장하는 주파수 변환부를 포함하는 것을 특징으로 하는 직교 주파수 분할 다중 변조 방식의 수신장치.

【청구항 15】

제14항에 있어서, 상기 메모리 뱅크가 롱 프리앰블 구간에서 FFT 입력 버퍼 기능을 수행하고, 상기 롱 프리앰블 구간을 경과한 구간에서 FFT 출력 버퍼 기능을 수행하는 것을 특징으로 하는 직교 주파수 분할 다중 변조 방식의 수신장치.

【청구항 16】

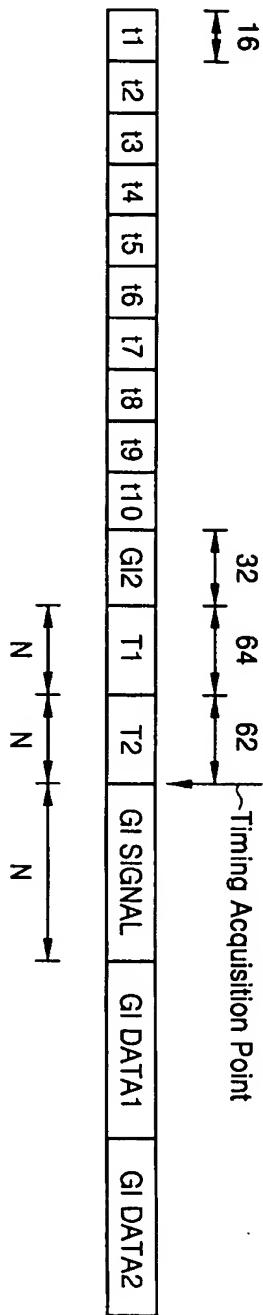
제14항에 있어서, 상기 메모리 뱅크가 상기 OFDM 신호의 $N/2$ 샘플을 각각 저장하기 위한 제1 내지 제4 메모리로 이루어지는 것을 특징으로 하는 직교 주파수 분할 다중 변조 방식의 수신장치.

【청구항 17】

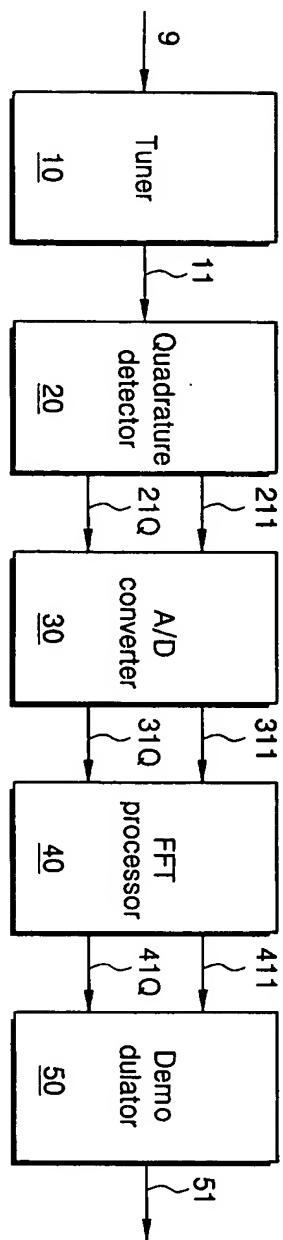
제14항에 있어서, 상기 입력 버퍼가 $N/2$ 샘플 싱글 포트 메모리인 것을 특징으로 하는 직교 주파수 분할 다중 변조 방식의 수신장치.

【도면】

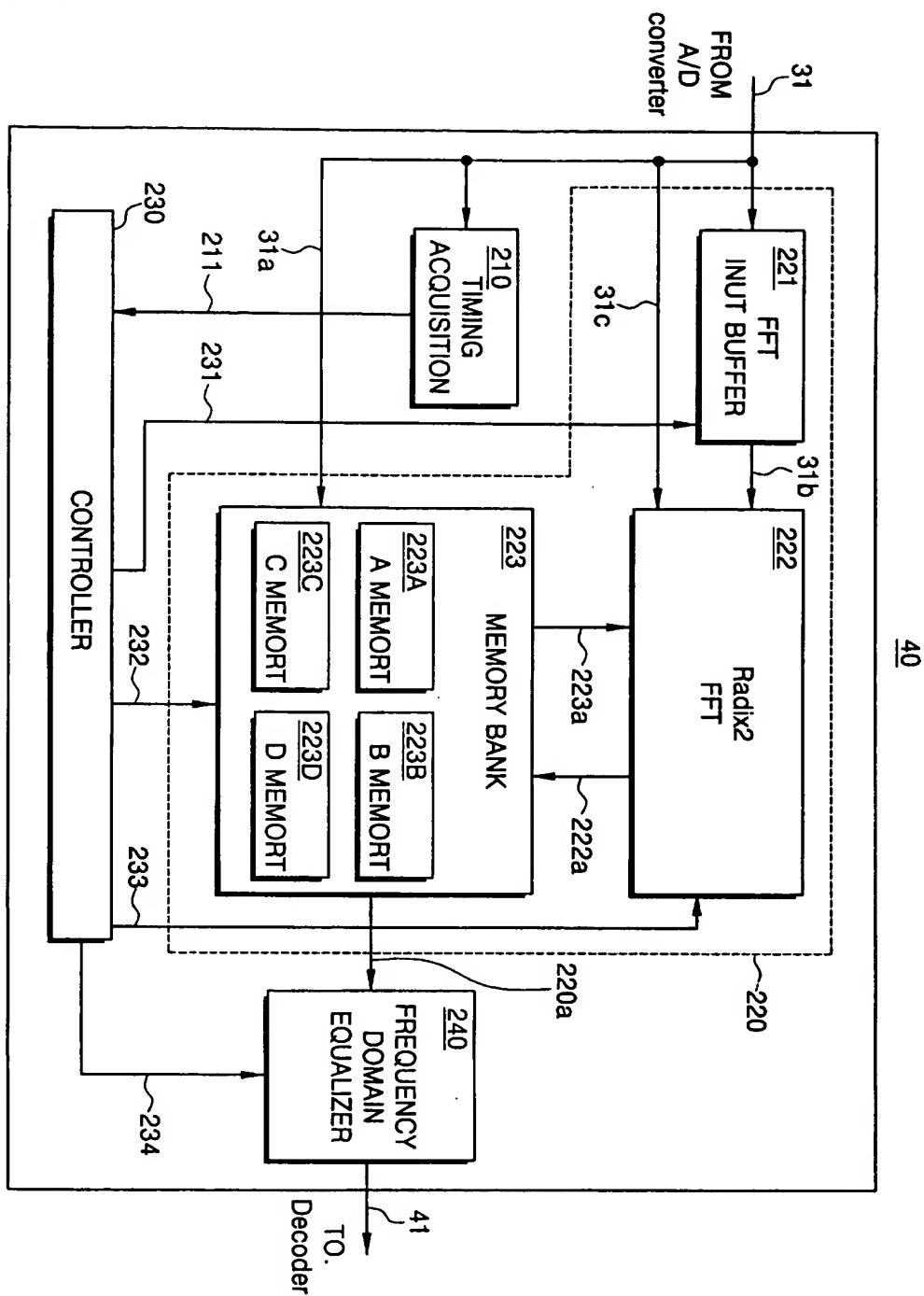
【도 1】



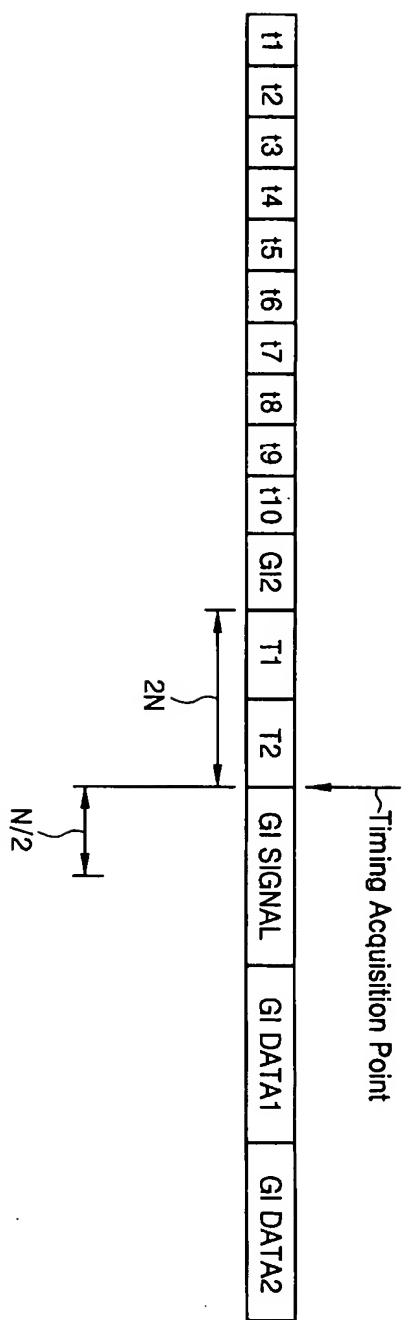
【도 2】



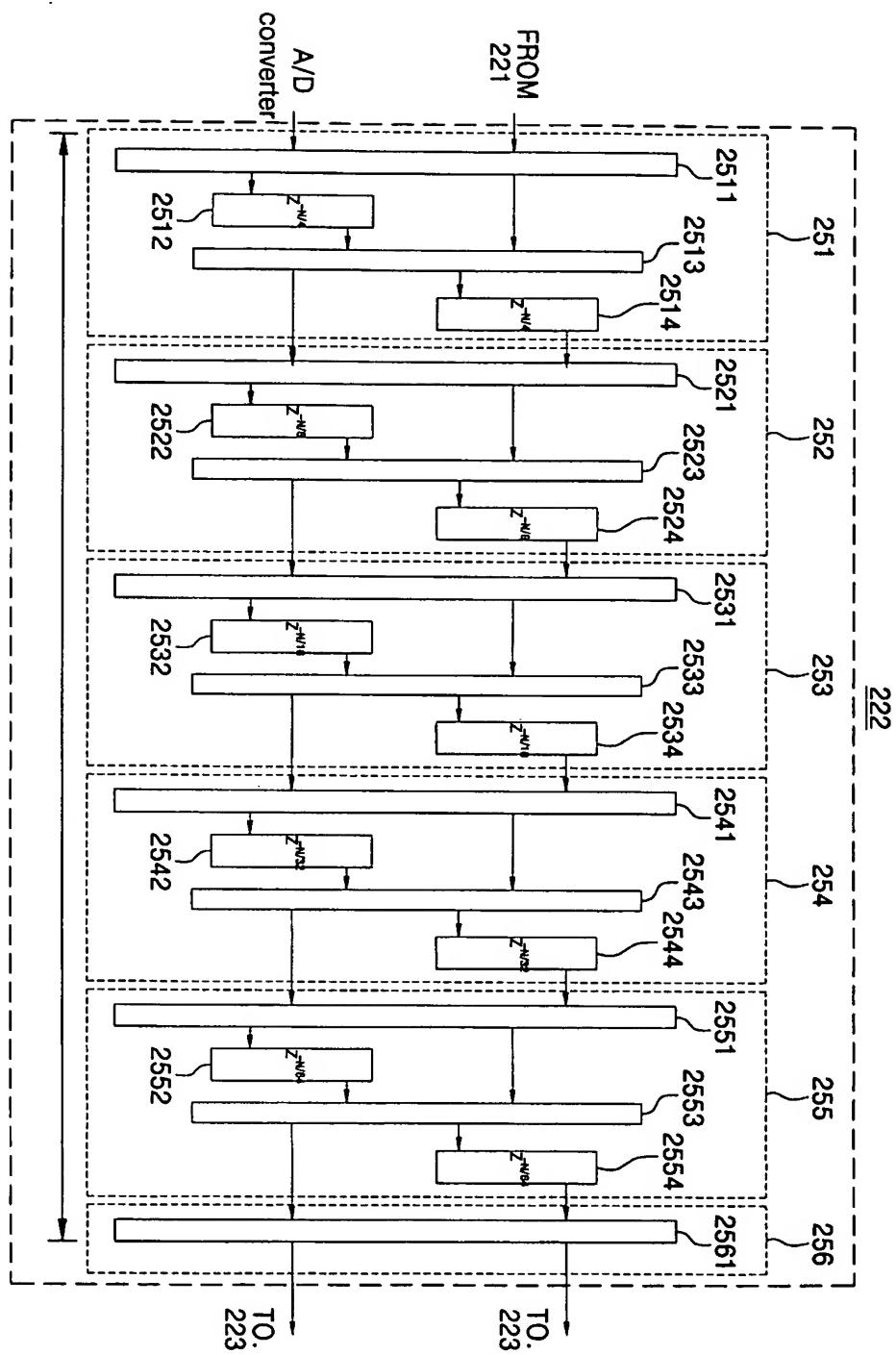
【도 3】



【도 4】

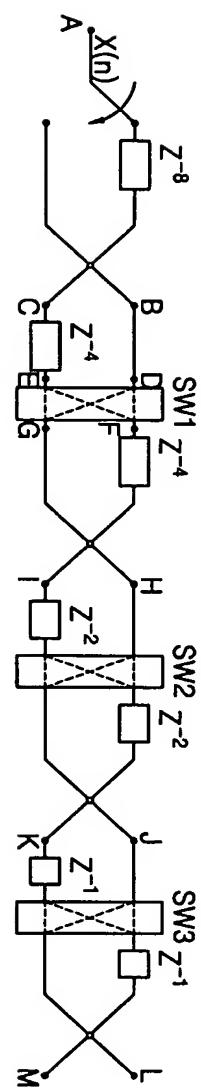


【도 5】



【도 6】

A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	x(n)
B		0	1	2	3	4	5	6	7	x1(n)				
C		8	9	10	11	12	13	14	15	x2(n)				
D		0	1	2	3	4	5	6	7	x3(n)				
E		8	9	10	11	12	13	14	15	x4(n)=X(k)				
SW1																					
F	0	1	2	3	8	9	10	11	12	13	14	15	
G		4	5	6	7	12	13	14	15	
H		0	1	2	3	8	9	10	11	
I		4	5	6	7	12	13	14	15	
SW2																					
K	0	1	4	5	8	9	12	13	
J		2	3	6	7	10	11	14	15	
SW3																					
L	0	2	4	6	8	10	12	14	
M	1	3	5	7	9	11	13	15	



【도 7】

223A

0	T2-48
1	⋮
⋮	
15	T2-63
16	T1-0
⋮	⋮
31	T1-15

223B

0	T1-48
1	⋮
⋮	
15	T1-63
16	T2-0
⋮	⋮
31	T2-15

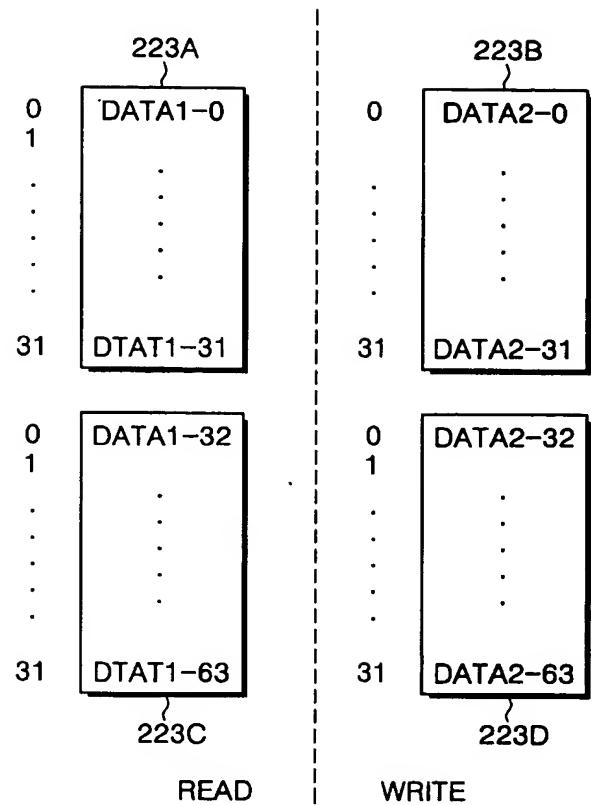
223C

0	T2-16
1	T2-17
⋮	⋮
⋮	⋮
⋮	⋮
31	T2-47

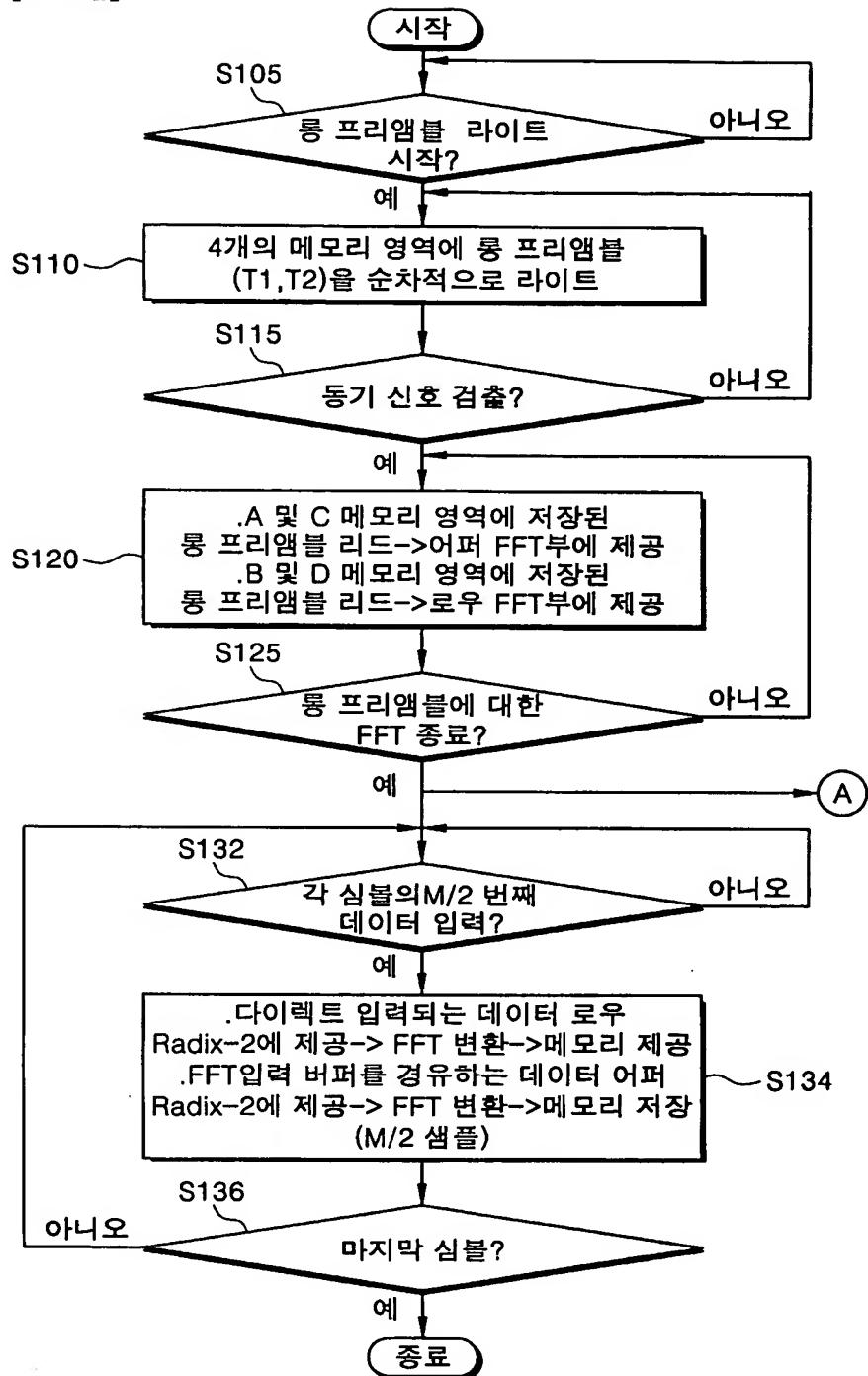
223D

0	T1-16
1	T1-17
⋮	⋮
⋮	⋮
⋮	⋮
31	T1-47

【도 8】



【도 9a】



【도 9b】

